

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

THIS PAGE BLANK (USPTO)

(54) MULTI-STAGE AMPLIFIER

(11) 60-212013 (A) (43) 24.10.1985 (19) JP

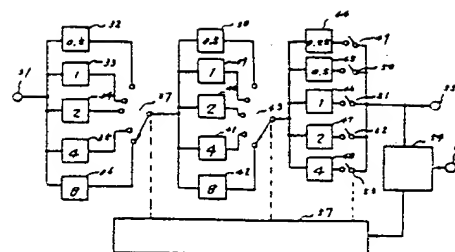
(21) Appl. No. 59-68001 (22) 5.4.1984

(71) NIPPON DENKI K.K. (72) MITSUTOSHI SUGAWARA

(51) Int. Cl. H03G3/02

PURPOSE: To provide less distortion and noise in an output signal even at any of weak/medium/strong inputs, a desired gain and a broad dynamic range by connecting plural amplifier groups comprising plural amplifiers with different gains in cascade and connecting a control means selecting at least each one of said amplifier for said amplifier groups each.

CONSTITUTION: Inputs of amplifiers 32~36 of the first stage are connected in parallel with an input terminal 31, outputs are connected to a selector 37 so that one output of any of the amplifiers 32~36 is selected and inputted to the amplifier group of the next stage. Thus, plural amplifier groups are connected in cascade and selectors 49~53 are connected to each output of amplifiers 44~48 of the final stage. A selection deciding circuit 57 decides the direction of increase/decrease of the gain depending on the amplitude of the detected output from a detector 54 and decides a choice of the selectors 37, 43, 49~53 according to the predetermined procedure. Thus, the desired gain and the share of gain are decided.



THIS PAGE BLANK (USPTO)

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭60-212013

⑮ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和60年(1985)10月24日

H 03 G 3/02

7827-5J

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 多段増幅器

⑯ 特 願 昭59-68001

⑰ 出 願 昭59(1984)4月5日

⑱ 発 明 者 菅 原 光 俊 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

多段増幅器

2. 特許請求の範囲

利得の異なる複数個の増幅器からなる増幅器群を複数群縦続接続しかつ前記各増幅器群毎に前記増幅器の少なくとも1個づつを選択する制御手段を接続したことを特徴とする多段増幅器。

3. 発明の詳細な説明

(技術分野)

本発明は多段増幅器に関し、特に集積回路に適用した可変利得の多段増幅器に関する。

(従来技術)

従来から可変利得増幅器は広範囲の入力レンジに亘り一定の出力にする場合等に広く用いられている。従来の可変利得増幅器には何らかの可変インピーダンス素子あるいは可変相互コンダクタン

ス素子を用いて利得を可変していたが、この可変素子のダイナミックレンジは小さく、従って広範囲の入力レンジに亘り至なく増幅するのは困難であった。これに対して、多段に亘り可変利得増幅器を縦続接続し、各段の利得を各々制御するディレードAGCを用いる手法があり、歪や雑音の点で前記よりは改良されるものの十分とはいえないのが現状であった。

第1図は従来のディレードAGC型の可変利得増幅回路の一例のブロック図である。

入力端子1より入力された信号は可変利得増幅器2, 3, 4で増幅され、そのまま出力端子6に出力されるか、あるいは検波器5を介し出力端子7に出力される。通常は出力端子6, 7のいずれかが利用される。8はAGC回路であり、検波器5の出力に応じて各可変利得増幅器に与える制御電圧又は電流を決定する回路である。各段の利得の配分は検波器5の出力に応じて予め定められている。通常、弱入力時は信号対雑音比の点で初段の利得を下げるのは得策でないため、後段から利

得をしぼってゆくようにしてある。一方、強入力時にもし初段が利得をもっている、この段で過大入力のため歪んだり、あるいはさらに増幅されて次段で歪んだりしてしまいうため、所定の中入力時より初段をしぼりこむようにしている。これは前記A G C回路8の中に実質的にコンプレータの役を果たす回路(トランジスタやダイオード)を入れ、検波出力が所定値になったところで初段をしぼりこむことにより実現している。このようなディレードA G Cは広く用いられており、可変利得増幅器2~3の間に周波数変換段を挿入することも多い。また段数も2~6段程度がある。

さて、上記ディレードA G C回路には下記のような欠点がある。第一に、多段に亘って歪なく、かつ信号対雑音比を悪化させないように利得をしぼる際の各段のA G C制御信号を最適に作り出すのが難しいこととばらつきやすい点である。第二に、各段に用いられる可変利得増幅器の特性を高利得時と低利得時(強入力時)のいずれにおいても最適化するのが難しい点である。これを具体的

な回路で説明しよう。

第2図は第1図に示す可変利得増幅器の一つの詳細回路図である。即ち、第1図に示す可変利得増幅器2, 3, 4のうちの一つの回路の詳細回路図である。

この回路は、A G C制御信号出力源としての電流源16がカットオフのときはトランジスタ12と20からなる差動増幅器として動作し出力端子23に出力を生ずる。トランジスタ12と20のエミッタ間には抵抗17があるため増幅度はほぼ抵抗21と抵抗17の比で与えられる。定電流源14, 19はバイアス用であり、22は電源、11は入力端子である。尚、トランジスタ12, 20のベースには図示していないが所定のバイアスがかけられているものとする。

電流源16がオンとなり、A G C制御信号が流れると、ダイオード15, 18が導通し、抵抗17に並列にダイオード15, 18の動抵抗が入ることになり、差動増幅器の増幅度が上昇する。ダイオード15, 18の動抵抗は $\frac{kT}{qI_d}$ で与えられる。

ここでkはボルツマン定数、Tは絶対温度、qは電子の電荷、 I_d は各ダイオードに流れる電流でA G C制御信号の1/2である。 $I_d = 1\text{mA}$ とすると約26 Ω の抵抗値を呈し、 $I_d = 0.1\text{mA}$ で260 Ω となり、 I_d に応じて動抵抗が可変でき、従って利得が可変できる。代表例としては-6dBから+20dBの制御範囲のものがある。この回路において、強入力時はA G C制御信号16がカットオフとなるため、抵抗17によりきわめて直線性のよい(歪の少ない)増幅が可能であり、その利得も抵抗21と17の比で与えられるので、集積回路化したときにもばらつきが少ない。

一方、弱入力の場合はA G C制御信号によってダイオードが導通するが、その動抵抗はA G C制御信号の値によるため、ばらつき要素が増えてしまう。中入力の場合は、A G C制御信号が小さな値となり、ダイオードが比較的高い動抵抗を示すように制御されるが、トランジスタ12, 20, ダイオード15, 18の直線性は各々 $\frac{kT}{q} = 26\text{mVpp}$ 程度しかないためせいぜい100mVpp以

上の信号が入力されると歪んでしまうことになるので、それよりも弱い入力で、すでにA G C制御信号をカットオフになるようにしなければならぬ。このことは、信号対雑音比を中入力に悪化させることになる。したがって第2図の回路を複数個用いた第1図のようなディレードA G C回路においては、各段ともその入力が100mVppになる直前で各A G C制御信号をカットオフにするように制御する必要があるが、各段の利得のばらつき、A G C制御信号を各段へ与えるA G C回路8のばらつき等のために、極めて難しいという欠点がある。

(発明の目的)

本発明の目的は、上記欠点を除去し、弱入力、中入力、強入力のいずれにおいても出力信号の歪、雑音が小さく、所望の利得と広いダイナミックレンジを有する多段増幅器を提供することにある。

(発明の構成)

本発明の多段増幅器は、利得の異なる複数個の増幅器からなる増幅器群を複数群縦続接続しかつ

前記各増幅器群毎に前記増幅器の少くとも1個づつを選択する制御手段を接続したことを特徴として構成される。

(実施例)

次に、本発明の実施例について図面を用いて説明する。

第3図は本発明の一実施例のブロック図である。

この実施例はディレードAGC型可変利得多段増幅器である。

利得の異なる増幅器32～36を一つの増幅器群にする。図面のブロック内の数字は利得(倍)を表わす。同様に、増幅器38～49及び44～48でそれぞれ一つの増幅器群を構成する。初段の増幅器32～36の入力側を入力端子31に並列接続し、出力側を選択器37に接続し、増幅器32～36のうちのどれか一つの出力が選られ次段の増幅器群へ入力されるようにする。次段の増幅器38～42の群、次次段の増幅器44～48も同様に入力側を前段の選択器37あるいは43の可動接点に並列に接続する。このようにして複

数の増幅器群を縦続接続する。最終段の増幅器44～48の群の各々の出力側に選択器49～53を接続する。従って、増幅器44～48の出力のうち、選択器49～53によって選択された出力が加算合成されて出力端子55に出力され、また検波器54を介して出力端子56と制御手段としての選択決定回路57へ出力される。選択決定回路は、例えば、コンパレータと、このコンパレータの出力でアップダウンするカウンタと、このカウンタによりアドレスングされるROMとで構成される。

選択決定回路57は、検波器54からの検波出力の大小に応じて利得の上げ下げの方向を決定し、予め定められた手順に従って選択器37, 43, 49～53の選択肢を決定する。これにより所望の利得と利得配分を決定できる。前述のようにROMを使用する場合には、ROMのデータにより検波器54の出力に応じどの増幅器を使うかを決定することが容易にできる。

第4図は第3図に示す増幅器群の一つと切換器

の一つの具体的回路例の回路図である。

第4図において、トランジスタ(63, 64), (65, 66), (67, 68), (69, 70), (71, 72)の各組がそれぞれ一つの増幅器を構成する。各増幅器に接続するトランジスタ73～77は切換器を構成する。即ち、端子92～96のうちの1個のみを選び、選ばれた端子に接続するベースのみに所定の電圧を与え他のベースを低レベルとすることにより、前述の5個の増幅器のうちの任意の1個のみに定電流源99の電流を流すように選択される。各増幅器のコレクタはカスコード増幅器を構成するトランジスタ78, 79を介して負荷88, 89に出力を生じ、端子97, 98から出力される。ここで90, 91は電源である。各増幅器の利得は各トランジスタ対のエミッタ動抵抗と各エミッタに接続された各抵抗80～87の和と負荷88, 89の比によって各々決定される。特に、集積回路において抵抗比は精度が良いため、各増幅器の利得も精度良く作れる。さらに、利得の高い増幅器においてはエミッタに

接続される抵抗は小さく(又は 0Ω)、従って、利得が大きくなり、利得の低い単位増幅器では抵抗は大きくなるために強入力まで歪まないという利点をもつ。従ってAGC回路に用いた場合、常に最適な利得/ダイナミックレンジを有する。

第4図に示す増幅器の切換において、定電流源99相当を各段に設けて、これをオン/オフするように変更すれば(図示せず)、任意の複数個の増幅器の並列が可能となり、各利得の和の利得を得ることができる。この場合は少ない増幅器で多くの利得の組合せが出来、効率的である。

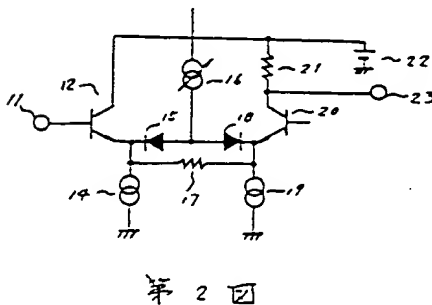
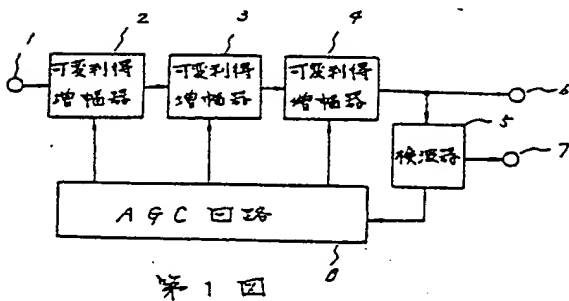
入力レベルに応じてどの増幅器を選択するかの手順は予めメモリに書いておくこともできるし、あるいは出力に応じて複数個のコンパレータを用いて対応する増幅器のオン/オフを行ってもよい。(発明の効果)

以上説明したように、本発明によれば、弱入力、中入力、強入力のいずれにおいても出力信号の歪、雑音が小さく、所望の利得と広いダイナミックレンジを有する多段増幅器が得られる。

4. 図面の簡単な説明

第1図は従来のディレードA G C型可変利得増幅器の一例のブロック図、第2図は第1図に示す可変利得増幅器の一つの詳細回路図、第3図は本発明の一実施例のブロック図、第4図は第3図に示す増幅器群の一つと切換器の一つの具体的回路例の回路図である。

1……入力端子、2, 3, 4……増幅器、5……検波器、6, 7……出力端子、8……A G C回路、11……入力端子、12……トランジスタ、14……定電流源、15……ダイオード、16……A G C電流源、17……抵抗、18……ダイオード、19……定電流源、20……トランジスタ、21……抵抗、22……電源、23……出力端子、31……入力端子、32～36……増幅器、37……選択器、38～42……増幅器、43……選択器、44～48……増幅器、49～53……選択器、54……検波器、55, 56……出力端子、57……選択決定回路、61, 62……入力端子、63～79……トランジスタ、80～89……抵抗



抗、90, 91……電源、92～96……端子、97, 98……出力端子、99……定電流源。

代理人 弁理士 内 原 晋

